

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



(3) Japanese Patent Application Laid-Open No. 11-191019 (1999)

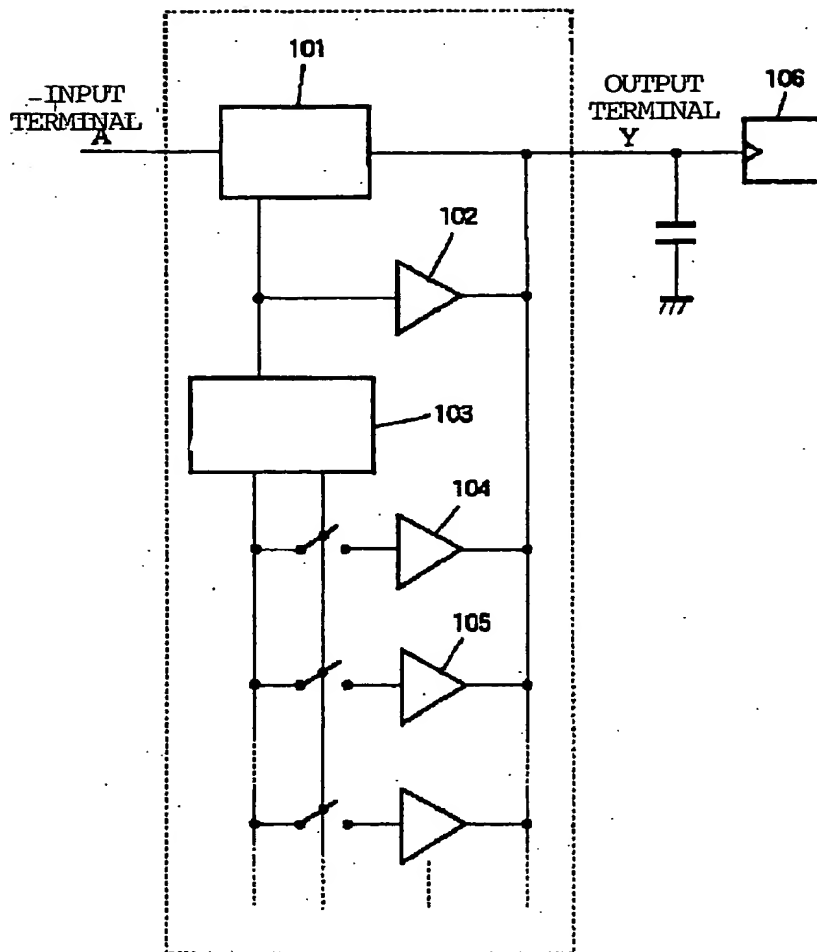
“Clock Driver Circuit, Semiconductor Integrated Circuit and Clock Interconnection Method”

5           The following is the translation of [abstract] in the front page:

          The invention is directed to provide a clock driver circuit, a semiconductor integrated circuit and a clock interconnection method realizing reduction of increase in power consumption without the effects such as non-uniformity of interconnection  
10   capacitance.

          When rounding occurs in an output waveform of a driver circuit 102 by the effects such as non-uniformity of capacitance of load, a rounding detecting circuit 101 detects this error. A size changing circuit 103 determines whether driver circuits 104 and 104 are to be driven or not on the basis of the detected rounding.

15



101: WAVEFORM ROUNDING DETECTING CIRCUIT  
 103: DRIVER SIZE CHANGING CIRCUIT  
 106: LOAD

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平11-191019

(43)公開日 平成11年(1999)7月13日

(51)Int.Cl. <sup>5</sup>	識別記号	FI		
G06F 1/10		G06F 1/04	330A	
	17/50		370P	
G11C 11/417		G11C 11/34	305	
	11/401		371K	
H01L 21/82		H01L 21/82	W	
審査請求 未請求 請求項の数6 OL (全11頁)				

(21)出願番号 特願平9-359072

(22)出願日 平成9年(1997)12月26日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 新井 健嗣

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

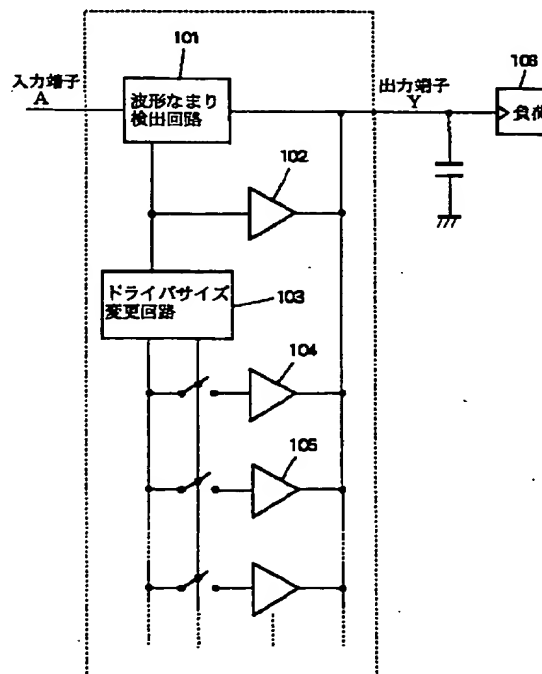
(74)代理人 弁理士 前田 実

(54)【発明の名称】 クロックドライバ回路、半導体集積回路及びクロック配線方法

(57)【要約】

【課題】 配線容量の不均一性等によらずスキュー、消費電力の増加を低減できるクロックドライバ回路、半導体集積回路及びクロック配線方法を提供する。

【解決手段】 負荷の容量の不均一性等によってドライバ回路102の出力波形になまりが生じると、なまり検出回路101がこのなまりを検出し、サイズ変更回路103が、検出されたなまりに基づいてドライバ回路104、105を駆動させるか否かを選択する。



第1の実施形態に係るクロックドライバ回路の構成

## 【特許請求の範囲】

【請求項1】 負荷を駆動する駆動手段と前記駆動手段の出力波形のなまりを検出する波形なまり検出手段と、該波形なまり検出手段により検出された波形のなまりに応じて前記駆動手段のドライバサイズを変更するドライバサイズ変更手段とを備えることを特徴とするクロックドライバ回路。

【請求項2】 前記波形なまり検出手段と前記ドライバサイズ変更手段は、論理素子からなることを特徴とする請求項1記載のクロックドライバ回路。

【請求項3】 等長処理を施した複数の負荷配線と、前記負荷配線を駆動する駆動手段と、該駆動手段の出力波形のなまりを検出する波形なまり検出手段と、該波形なまり検出手段により検出された波形のなまりに応じて前記駆動手段のドライバサイズを変更するドライバサイズ変更手段とを有する複数のクロックドライバ回路と、を備えることを特徴とする半導体集積回路。

【請求項4】 前記負荷配線の抵抗分を予め求めた所定の値以下としたことを特徴とする請求項3記載の半導体集積回路。

【請求項5】 等長処理を施した複数の負荷配線をレイアウトし、前記負荷配線を駆動する駆動手段、該駆動手段の出力波形のなまりを検出する波形なまり検出手段及び該波形なまり検出手段により検出された波形のなまりに応じて前記駆動手段のドライバサイズを変更するドライバサイズ変更手段を有するクロックドライバ回路を前記負荷配線上に配置することを特徴とする半導体集積回路のクロック配線方法。

【請求項6】 前記負荷配線の抵抗分を予め求めた所定の値以下として前記複数の負荷配線をレイアウトすることを特徴とする請求項5記載の半導体集積回路のクロック配線方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、クロックドライバ回路、半導体集積回路及びクロック配線方法に関し、特に、出力波形のなまりの改善に特徴を有する。

## 【0002】

【従来の技術】半導体装置では、その内部の動作を同期させるためにクロックを用いる場合が多い。このような場合、半導体装置内部にクロック発生部、クロックドライバ等を設けることが一般的である。

【0003】このようなクロックドライバを有する半導体装置では、半導体装置内の回路の配置によってクロックの伝搬時間に差異を生じたり、クロックが歪んだりするクロックスキューを低減することが課題であった。このような課題を解決しようとした半導体集積回路、配線方法としては、例えば特開平7-183778号公報に記載されているものがある。

【0004】この半導体集積回路、クロック配線方法では、図2に示すように、セルの配置後、クロック配線を施す際に、隣接配線を配線禁止領域として、クロック配線30を介したクロックドライバから各セル20までの距離が同一となるようにクロック配線30の経路指定を行なう。配線終了後、配線禁止領域を用いて各々のクロック配線30長を等長とすべくS字状の追加配線31を行うことで、クロック配線容量を均一にし、配線容量の不均一性によるクロックスキューの低減を図っている。

【0005】また、例えば特開平5-259414号公報に記載されたゲートアレイでは、図3に示すように、単一クロック源60から複数のクロックドライバ61-1、62-2、61-3、61-4、61-nにクロックを分配するゲートアレイのクロック配線において、ダミーゲート52を準備しておき、各々のクロックドライバ61-1～61-nの負荷数の不均一性をダミーゲート52を用いて同一負荷数にし、また配線長の不均一性を等長配線を施して抑えることで、ゲート50、52の容量、配線71-1～71-nの容量の不均一性によるクロックスキューの低減を図っている。

## 【0006】

【発明が解決しようとする課題】しかしながら、上述の半導体集積回路、クロック配線方法、ゲートアレイでは、いずれも隣接配線長、層間配線の交差率の差による配線容量の不均一性によるスキューの増加は考慮されていない。

【0007】また、これらの半導体集積回路等では、最大配線長、最大負荷数にあわせてクロック配線を修正するため、負荷容量が増加し、負荷容量による充放電消費電力が増加する。また、波形がさらになまるため、負荷回路の入力端における貫通電流が増加して消費電力が増加する。

【0008】本発明は、上述のような問題点に鑑みてなされたものであり、隣接配線長、層間配線の交差率の差による配線容量の不均一性等によってもスキューの増加を低減させることができ、また、消費電力の増加を低減させることができるクロックドライバ回路、半導体集積回路及びクロック配線方法を提供することを目的とする。

## 【0009】

【課題を解決するための手段】本発明に係るクロックドライバ回路は、クロック配線等の負荷を駆動する駆動手段と、駆動手段の出力波形のなまりを検出する波形なまり検出手段と、波形なまり検出手段により検出された波形のなまりに応じて駆動手段のドライバサイズを変更するドライバサイズ変更手段とを備えている。

【0010】また、本発明に係る半導体集積回路は、等長処理を施した複数の負荷配線と、負荷配線を駆動する駆動手段と、駆動手段の出力波形のなまりを検出する波形なまり検出手段と、波形なまり検出手段により検出さ

れた波形のなまりに応じて駆動手段のドライバサイズを変更するドライバサイズ変更手段とを有する複数のクロックドライバ回路とを備えている。

【0011】また、本発明に係る半導体集積回路のクロック配線方法は、例えばゲートアレイ、エンベデッドアレイ方式等の半導体集積回路においてクロック配線をレイアウトするクロック配線方法であって、等長処理を施した複数の負荷配線をレイアウトし、負荷配線を駆動する駆動手段、駆動手段の出力波形のなまりを検出する波形なまり検出手段及び波形なまり検出手段により検出された波形のなまりに応じて駆動手段のドライバサイズを変更するドライバサイズ変更手段とを有するクロックドライバ回路を負荷配線上に配置する。

【0012】

【発明の実施の形態】図1は本発明の第1の実施形態に係るクロックドライバ回路の構成を示す図である。このクロックドライバ回路は、入力端子Aを介して供給されるクロック波形のなまりを検出するなまり検出回路101と、入力されるクロック波形に基づいて出力端子Yを介して接続された負荷回路106を駆動するドライバ回路102と、なまり検出回路101の検出出力に応じてクロックドライバのサイズを変更するサイズ変更回路103と、サイズ変更回路103による制御に応じて負荷回路106を駆動する複数のドライバ回路104、105、・・・とを備えている。なお、サイズ変更回路103による制御に応じて負荷回路106を駆動するドライバ回路の数は、負荷回路106の特性、クロック配線の配線負荷容量等の不均一性を考慮して適宜変更することができる。

【0013】入力端子Aには、発振回路等からクロック波形が入力電圧として供給される。供給された入力電圧は、検出回路101を介してサイズ変更回路103に供給されると共に、サイズ変更回路103を介して複数のドライバ回路104、105に供給し得るように構成されている。なまり検出回路101は、入力端子Aを介して供給されるクロック波形のなまりを検出し、検出出力をサイズ変更回路103に供給する。クロック波形のなまりの検出は、例えば出力電圧の電圧変化の勾配を検出する、あるいは入力電圧と出力電圧の電圧変化の比較等によって行なうことができる。また、なまり検出回路101が波形のなまりを検出する出力電圧の変化の勾配、入力電圧と出力電圧の比較結果等の条件と、これに応じて駆動されるドライバ回路の関係は、負荷回路106、配線負荷容量等に応じて適宜設定しておく。

【0014】サイズ変更回路103はクロック波形のなまりの検出出力に応じて、ドライバ回路104、105に入力電圧を供給するか否かを選択する。入力電圧が供給されると各ドライバ回路104、105は入力電圧に基づいて負荷回路106を駆動する。

【0015】以下、このように構成されたクロックドラ

イバ回路の動作を説明する。図4(a)及び同図(b)は、それぞれ入力端子Aを介して供給される入力電圧、出力端子Yを介して出力される出力電圧の電圧波形を示している。

【0016】図4(a)に示すように入力電圧が立ち上がると、ドライバ回路102は、これに応じて負荷の駆動を開始する。しかし、このままでは、負荷が大きいために駆動能力が十分でなく、同図(b)中に401として示すように、出力電圧がなまった状態となってしまう。このため、なまり検出回路101によって波形のなまりが検出される。

【0017】なまり検出回路101は、波形のなまりを検出するとサイズ変更回路103を制御して、ドライバ回路104を駆動させる。これにより、ドライバ回路104も負荷の駆動を開始し、図4(b)中に402として示すように、電圧電圧の上昇の勾配が401より急峻となる。

【0018】しかしながら、この状態でも、依然として入力波形がなまった状態であり、出力波形が十分に改善されていないので、なまり検出回路101はなまりを検出し、サイズ変更回路103を制御して、ドライバ回路105を駆動させる。これにより、ドライバ回路102、104、105の3つが負荷を駆動することになり、図4(b)中に403として示すように、電圧上昇の勾配が402より急峻となる。さらに、波形なまりを改善する必要がある場合は、なまり検出回路101はサイズ変更回路103を制御して、順次、ドライバ回路105以降のドライバ回路を駆動させる。

【0019】以上のような制御により、クロック波形の立ち上がり急峻となるように改善がされた場合は、なまり検出回路101は、もはやなまりを検出せず、サイズ変更回路103はドライバ回路104、105等の駆動を行わない。

【0020】また、図4(a)に示すように、入力電圧が立ち下がると、ドライバ回路102は、立ち上がり時と同様に、これに応じて負荷の駆動を開始する。しかしながら、出力電圧は、同図(b)中に404として示すように入力電圧波形がなまった状態となってしまう。このため、なまり検出回路101によって波形のなまりが検出される。

【0021】なまり検出回路101は、波形のなまりを検出すると、上述の立ち上がり時と同様に、サイズ変更回路103を制御して、ドライバ回路104を駆動させる。これにより、ドライバ回路104も負荷の駆動を開始し、図4(b)中に405として示すように、電圧下降の勾配が404より急峻となる。

【0022】しかしながら、この状態でも、依然として入力波形がなまった状態であり、出力波形が十分に改善されていないので、上述の立ち上がり時と同様に、なまり検出回路101はなまりを検出し、サイズ変更回路1

03を制御して、ドライバ回路105を駆動させる。これにより、ドライバ回路102、104、105の3つが負荷を駆動することになり、図4(b)中に406として示すように、電圧下降の勾配が405より急峻となる。さらに、波形なまりを改善する必要がある場合は、なまり検出回路101はサイズ変更回路103を制御して、順次、ドライバ回路105以降のドライバ回路を駆動させる。

【0023】以上のような制御により、クロック波形の立ち下がりが急峻となるように改善がされた場合は、なまり検出回路101は、もはやなまりを検出せず、サイズ変更回路103はドライバ回路104、105等の駆動を行わない。

【0024】なお、配線負荷容量が小さい等により負荷がそれほど大きくない場合では、ドライバ回路102のみで負荷回路106を駆動してもクロック波形はなまらないため、なまり検出回路101はなまりを検出せず、サイズ変更回路103はドライバ回路104、105、・・・を駆動させない。

【0025】この実施形態に係るクロックドライバ回路では、以上のように、配線負荷容量が大きい場合には、これによって生じるクロック波形のなまりを検出し、クロック波形の立ち上がり、立ち下がりを急峻にするようにドライバサイズ（駆動させるドライバ回路の数）を増加させてクロックを出力し、配線負荷容量が小さい場合は、これによってクロック波形がなまりを生じないため、ドライバサイズを増加させずにクロックを出力する。

【0026】このため、例えば隣接配線長、層間配線の交差率の差等による配線負荷容量等の不均一性があっても、クロックスキューを低減させることができる。また、負荷の入力端における貫通電流による消費電力を低減させることができる。

【0027】また、ウェハプロセスにおいて特性に不均一性が生じて、上述のようにクロックドライバ回路としても特性を均一化させることができる。このため、歩留まり向上にも寄与することができる。

【0028】なお、上述の説明では、波形なまり検出回路101、ドライバ回路102、サイズ変更回路103と負荷回路106との位置関係を特に規定していなかったが、これらの回路を負荷回路106に配置することにより、配線抵抗の低減等により、クロックの波形のなまりをさらに低減させることができ、貫通電流、クロックスキューをさらに低減させることができる。

【0029】図5は本発明の第2の実施形態に係るクロックドライバ回路の構成を示す図である。この実施形態は、上述の第1の実施形態に係るクロックドライバ回路のより具体的な構成の一例を示したものである。

【0030】このクロックドライバ回路は、出力端子Yの電圧（出力電圧）を反転させるインバータ202と、

このインバータ202の出力と入力端子Aから供給される入力電圧の否定論理積を求めるNANDゲート203と、このNANDゲート203の出力がそのゲートに供給されるPtr204と、直列に接続されたインバータ対（実質的にはNANDゲート203の出力を遅延させるディレイとして機能）205を介して、そのゲートにNANDゲート203の出力が供給されるPtr206と、直列に接続されたインバータ対207を介して、そのゲートにインバータ対205の出力が供給されるPtr208とを備えている。Ptr204、206、208のソース又はドレインには電源電圧が供給され、これらのドレイン又はソースは出力端子Yに接続されている。NANDゲート203の出力はPtr204に供給されると共にインバータ対205により遅延されてPtr206に供給され、さらにインバータ対207により遅延されてPtr208に供給される。

【0031】また、このクロックドライバ回路は入力端子Aから供給される入力電圧を反転させるインバータ212と、このインバータ212の出力と出力電圧の論理積を求めるANDゲート213と、このANDゲート213の出力がそのゲートに供給されるNtr214と、直列に接続されたインバータ対215を介して、そのゲートにANDゲート213の出力が供給されるNtr216とを備えている。Ntr214、216のドレイン又はソースは接地電位が供給され、これらのソース又はドレインは出力端子Yに接続されている。ANDゲート213の出力はNtr214に供給されると共にインバータ対215により遅延されてNtr216に供給される。出力端子Yはクロック配線（配線負荷容量を有する）を介して上述の図1と同様に負荷回路106に接続されている。

【0032】上述の図1中のなまり検出回路101、サイズ変更回路103は、NAND、AND及びインバータで構成されている。すなわち、インバータ202とNANDゲート203及びインバータ212とANDゲート213の判定動作により、図1中のドライバ回路102に相当するPtr204、Ntr214のオン/オフを制御し、この判定動作と、インバータ対205、206、210の遅延によって出力電圧の変化の勾配を検出し、これによって図1中のドライバ回路104、105に相当するPtr206、Ntr216及びPtr208オン/オフを制御している。なお、この場合では、立ち下がり時の出力電圧波形のなまりが小さいとしてドライバ回路105に相当する部分にNtrを設けていないが、これを設けても良く、あるいは、負荷回路106の特性、配線負荷容量等の不均一性を考慮してPtr、Ntrの数を適宜変更してもよい。

【0033】以下、このように構成されたクロックドライバ回路の動作を説明する。図6(a)及び同図(b)は、それぞれ入力端子Aを介して供給される入力電圧、

出力端子Yを介して出力される出力電圧の電圧波形を示している。

【0034】図6(a)に示すように入力電圧が立ち上がり、“H”となると、このときの出力端子Yの電圧は同図(b)に示すように“L”であるため、NANDゲート203の出力は“L”となって、PMOSトランジスタ204がオンとなる。また、ANDゲート213は、入力電圧が“H”で、出力端子Yの電圧が“L”であるため、“L”を出力し、NMOSトランジスタ214、216がオフとなる。これにより、出力電圧が徐々に上昇する。しかし、このままでは、負荷が大きいため駆動能力が十分でなく、図6(b)中に501として示すように、出力電圧がなまってしまい、出力電圧はすぐには“H”とならない。このため、NANDゲート203の出力は“L”のままである。そして、インバータ対205による遅延時間 $\tau_1$ 後に、当該インバータ対205の出力が“L”となると、既にオンとなっているP<sub>tr</sub>204に加えてP<sub>tr</sub>206がオンとなり、図6(b)中に502として示すように、出力電圧の上昇の勾配が501より急峻となる。

【0035】しかしながら、この状態でも、依然として入力波形がなまった状態であり、出力波形が十分に改善されておらず、NANDゲート203の出力は“L”のままである。このため、インバータ対205の出力が“L”となってからインバータ対207による遅延時間 $\tau_2$ 後にインバータ対207の出力が“L”となると、既にオンとなっているP<sub>tr</sub>204、206に加えてP<sub>tr</sub>208がオンとなる。これにより、図6(b)中に503として示すように、出力電圧の上昇の勾配が502より急峻となる。

【0036】この後、出力電圧が“H”となると、NANDゲート203の出力が“H”となり、まず、P<sub>tr</sub>204がオフとなる。この $\tau_1$ 後にP<sub>tr</sub>206がオフとなり、さらにこの $\tau_2$ 後にP<sub>tr</sub>208がオフとなる。従って、出力電圧が“H”となった後もしばらくはP<sub>tr</sub>206、208がオンとなっているが、出力電圧は電源電圧以上にはならない。また、P<sub>tr</sub>204、206、208が全てオフとなっても、クロック配線等の負荷容量によって、出力端子Yの電圧は図6(b)中に504で示すように、しばらくは“H”に維持される。また、出力電圧が“H”になったときは、入力電圧が“H”で出力端子Yの電圧が“H”であるため、ANDゲート213の出力は“L”のままであり、N<sub>tr</sub>214、216はオフのままである。

【0037】なお、入力電圧が立ち上がり“H”となった後、出力電圧が急峻( $\tau_1$ 以内)に立ち上がって“H”になれば、インバータ205の出力が“H”となってP<sub>tr</sub>206がオンとなる前にNANDゲート203の出力が“L”となってP<sub>tr</sub>204がオフとなる。このような場合の出力電圧波形は、P<sub>tr</sub>204のみが

動作して、波形の改善がなされていない場合と同様である。

【0038】以上の動作は、入力電圧が“H”となつてから $\tau_1$ までの間に出力電圧が“H”にならなければ、P<sub>tr</sub>204に加えてP<sub>tr</sub>206をオンとして波形の改善を行ない、この間に出力電圧が“H”になれば波形の改善を行なわないことと等価である。すなわち、出力波形の立ち上がりの勾配が、電源電圧(“L”と“H”の電位差にほぼ等しい)/ $\tau_1$ 以下になまっていればP<sub>tr</sub>206による波形の改善が行なわれることと等価である。

【0039】さらに、P<sub>tr</sub>208のスイッチングについて考えると、P<sub>tr</sub>206がオンとなつてから $\tau_2$ 後に出力電圧が“H”とならなければ、P<sub>tr</sub>204、P<sub>tr</sub>206に加えてP<sub>tr</sub>208をオンとして波形の改善を行ない、この間に出力電圧が“H”になれば波形の改善を行なわないことと等価である。この場合は、P<sub>tr</sub>206によって改善された出力電圧の立ち上がりの勾配が、(電源電圧- $\tau_1$ のときの出力電圧)/ $\tau_2$ 以下である(あるいは入力電圧が“H”となつてからの全体としての出力電圧の立ち上がりの勾配が電源電圧/( $\tau_1 + \tau_2$ )以下である)場合に波形の改善を行なうことと等価である。

【0040】従って、各インバータ対205、207の遅延時間を適宜変更することにより、立ち上がり時の出力波形のなまりを改善するための条件を設定することができる。また、各P<sub>tr</sub>204、206、208の特性を適宜変更することにより、波形の改善度を設定することができる。

【0041】また、図6(a)に示すように入力電圧が立ち下がり、“L”となると、同図(b)に示すように出力端子Yの電圧が“H”であるため、ANDゲート213の出力が“H”となってNMOSトランジスタ214がオンとなる。また、NANDゲート203の出力は“H”となったままであり、PMOSトランジスタ204、206、208はオフとなったままである。これにより、出力電圧が徐々に下降する。しかし、このままでは、負荷が大きいため駆動能力が十分でなく、図6(b)中に505として示すように、出力電圧がなまってしまい、出力電圧はすぐには“L”とならない。このため、ANDゲート213の出力は“H”のままである。そして、インバータ対215による遅延時間 $\tau_3$ 後に、当該インバータ対215の出力が“H”となると、既にオンとなっているN<sub>tr</sub>214に加えてN<sub>tr</sub>216がオンとなり、図6(b)中に506として示すように、出力電圧の下降の勾配が505より急峻となる。

【0042】この後、出力電圧が“L”となると、ANDゲート213の出力が“L”となり、まず、N<sub>tr</sub>214がオフとなる。この $\tau_3$ 後にN<sub>tr</sub>216がオフとなる。従って、出力電圧が“L”となった後もしばらく



はNtr216がオンとなっているが、出力電圧は電源電圧以上にはならない。また、出力電圧が“L”になったときは、入力電圧が“L”で出力端子Yの電圧が“L”であるため、NANDゲート203の出力は“H”のままであり、Ptr204、206、208はオフのままである。また、Ntr214、216が共にオフとなっても、クロック配線等の負荷容量により、出力端子Yの電圧は、図6(b)中に507で示すように“L”に維持される。

【0043】なお、入力電圧が立ち下がり“L”となった後、出力電圧が急峻( $\tau_3$ 以内)に立ち下がり“L”になれば、インバータ215の出力が“H”となってNtr216がオンとなる前にNANDゲート213の出力が“L”となってNtr214がオフとなる。このような場合の出力電圧波形は、Ntr214のみが動作して、波形の改善がなされていない場合と同様である。

【0044】以上の動作は、入力電圧が“L”となつてから $\tau_3$ までの間に出力電圧が“L”にならなければ、Ntr214に加えてNtr216をオンとして波形の改善を行ない、この間に出力電圧が“L”になれば波形の改善を行なわないことと等価である。すなわち、出力波形の立ち下がりの勾配が、電源電圧(“L”と“H”の電位差にほぼ等しい)/ $\tau_3$ 以下になまっていればNtr216による波形の改善が行なわれることと等価である。

【0045】従って、インバータ215の遅延時間を適宜変更することにより、立ち下がり時の出力波形のなまりを改善するための条件を設定することができる。また、各Ntr214、216の特性を適宜変更することにより、波形の改善度を設定することができる。

【0046】この実施形態に係るクロックドライバ回路では、以上のように、配線負荷容量が大きい場合には、これによって生じるクロック波形のなまりを検出し、クロック波形の立ち上がり、立ち下がり急峻にするようにドライバサイズ(駆動させるドライバ回路の数)を増加させてクロックを出力し、配線負荷容量が小さい場合は、これによってクロック波形がなまりを生じないため、ドライバサイズを増加させずにクロックを出力する。

【0047】このため、上述の第1の実施形態と同様に、例えば隣接配線長、層間配線の交差率の差等による配線負荷容量等の不均一性があっても、クロックスキューを低減させることができる。また、負荷の入力端における貫通電流による消費電力を低減させることができる。

【0048】また、この実施形態では、クロック波形なまり検出回路とドライバサイズ変更回路を、NAND、AND及びインバータ等の基本的な素子を用いた簡単な回路で構成することができるため、動作の安定化を図る

ことができる。簡単な回路構成で、出力電圧の波形のなまりの解消を実現することができるため、例えばゲートアレイ、エンベデッドアレイ方式等のLSIの構成時に用いられるセルライブラリの作成が容易となる。このため、これらのセルアレイを組み合わせで構成するLSIにおいて波形のなまりの解消を容易に行なうことができる。

【0049】図7は、上述の図5に示すクロックドライバ回路の効果を確認するためのシミュレーションを行なう際に用いた測定回路の構成を示す回路図である。この測定回路を用いてクロックドライバの出力波形の立ち上がり時間 $t_r$ 、立ち下がり時間 $t_f$ 及び消費電力Pdの測定を行った。

【0050】この測定回路は、同図中に示すように、クロック波形が供給される入力波形効果回路601と、測定対象であるクロックドライバ回路602と、このクロックドライバ回路によって駆動される負荷容量CL及び負荷回路(クロックドライバ回路)603と、クロックドライバ回路602の出力電圧を測定するための測定点604と、クロックドライバ回路602及び負荷に流れる電流を測定するための電流計605とを備えている。

【0051】ドライバ回路602としては、上述の図5に示すクロックドライバ回路(#1)、一般的な例えば図8に示す構成のクロックドライバ回路(#2)、この#2のクロックドライバ回路を5個並列に接続したクロックドライバ回路(#3)を用い、各クロックドライバ回路を用いた場合の特性を比較する。

【0052】波形の立ち上がり時間 $t_r$ 、立ち下がり時間 $t_f$ は測定点604で測定した出力電圧波形から振幅が電源電圧Vddの20%から80%まで変化する時間を測定して求め、消費電力Pdは電流計で測定した電流から平均電流Iddを求め、この平均電流Iddと電源電圧Vdd(3.3V)から求める。

【0053】以下、クロック波形として、例えばクロック周波数50MHzのクロックを供給し、負荷容量を変化させた場合の結果について説明する。

【0054】図9は、負荷容量の変化に対する各クロックドライバ回路#1~#3の立ち上がり時間 $t_r$ 、立ち下がり時間 $t_f$ の変化を示している。同図より、負荷容量のCLの増加に伴い、クロックドライバ回路#2の立ち上がり時間 $t_r$ 、立ち下がり時間 $t_f$ が大きく増加しているのに対し、クロックドライバ回路#1の立ち上がり時間 $t_r$ 、立ち下がり時間 $t_f$ は、クロックドライバ回路#3の立ち上がり時間 $t_r$ 、立ち下がり時間 $t_f$ とほぼ同程度に増加が抑えられていることがわかる。

【0055】図10は、負荷容量の変化に対する各クロックドライバ回路#1~#3の消費電力Pdの変化を示している。同図より、クロックドライバ回路#1の消費電力Pdは、クロックドライバ回路#3の消費電力Pdより低く抑えられていることがわかる。また、負荷容量

CLの増加に伴うクロックドライバ回路#2の消費電力Pdの増加が大きいが、これは波形なまりによる負荷の入力端での貫通電流が増加したためである。クロックドライバ回路#1（すなわち図5に示すクロックドライバ回路）では波形なまりを抑えることにより、この消費電力の増加を抑えているため、負荷容量CLが増加しても消費電力Pdの増加が比較的少ない。

【0056】次に、負荷容量CL変化に対する負荷入力での波形を図11～図13に示す。各図において横軸は時間を示しており、縦軸は出力電圧を示している。

【0057】全体的に負荷容量CLの増加に伴い、出力電圧の波形のなまりが大きくなっているが、特にクロックドライバ回路#2の波形のなまりは、負荷容量の増加に従って顕著に大きくなっていることがわかる。これに比較して、クロックドライバ回路#1、#3の波形のなまりは抑えられていることがわかる。

【0058】クロック波形のなまりだけを考慮すればクロックドライバ回路#3の方が好ましいかも知れないが、クロック波形のなまりの改善と、半導体装置の省電力化等の観点からは、クロックドライバ回路#1（すなわち図5に示すクロックドライバ回路）が好ましい。

【0059】図14は、本発明の第3の実施形態に係る半導体集積回路（LSI）の要部のレイアウトを示している。このLSIは、上述の図1あるいは図5に示す構成のクロックドライバ回路を用いて構成されたゲートアレイ、エンベデッドアレイ方式のLSIである。

【0060】このLSIは、単位セル等の論理回路から構成された負荷回路301と、該負荷回路301にクロックを供給するためのクロック配線（負荷配線）302と、各クロック配線302を駆動するクロックドライバ回路303とを備えている。

【0061】各クロックドライバ回路303は、上述の図1乃至図5と同様に構成されている。このため、上述の図1乃至図5に示すクロックドライバ回路と同様に、配線負荷容量が大きい場合には、これによって生じるクロック波形のなまりを検出し、クロック波形の立ち上がり、立ち下がり急峻にするようにドライバサイズを増加させてクロックを出力し、配線負荷容量が小さい場合は、これによってクロック波形がなまりを生じないため、ドライバサイズを増加させずにクロックを出力する。

【0062】この図1乃至図5に示すクロックドライバ回路は、負荷容量の不均一性に起因するクロック波形のなまりを改善することによりクロックスキュー、貫通電流を低減させることができるが、配線抵抗の不均一性に起因するクロック波形のなまりを改善し、クロックスキュー、貫通電流を低減させることが困難である。

【0063】このため、抵抗成分によるクロック波形のなまりがクロックスキューに影響を与えない程度の長さを、予めシミュレーション等によって求めておき、各々

のドライバ回路303が駆動する負荷配線302をこの長さ以下としている。各々の負荷配線302の長さは、同じになるように等長処理が施されている。また、各負荷配線302は、各々の間隔が一定間隔になるように配置されている。

【0064】このように一定の長さ以下とし、等長処理を施して負荷を均一化させた各々の負荷配線302を上述の図1乃至図5に示す構成クロックドライバ回路により駆動することにより、負荷配線302の抵抗成分によるクロック波形のなまりがクロックスキューに影響を与えることがなく、また、負荷配線の負荷容量によるクロック波形のなまりを改善してクロックスキュー、貫通電流を低減させることができる。

【0065】上述の図14に示すような構成のクロックドライバ回路を有するLSIを設計する際には、まず、シミュレーション等によって負荷配線302の抵抗成分が、クロックドライバ303として用いる上述の図1乃至図5に示すクロックドライバ回路の出力のクロックスキューに影響を与えない程度の長さを求める。

【0066】次に、単一のクロック源から複数個のクロックドライバ回路にクロックを供給できるように、クロック配線302をバランスツリー形にレイアウトする。

【0067】この際、負荷配線302の長さを、上述のように求めた長さ（抵抗分の影響が現れない長さ）を上限とし、各々の負荷配線302の長さが同じになるように等長処理を施してレイアウトする。この等長処理は、例えば「VLSIシステム設計」（中澤喜三郎、平成7年、丸善）383～387ページに示されている等長配線アルゴリズムを用いて行なう。また、各負荷配線302は各々の間隔が一定間隔になるように配置する。

【0068】さらに、負荷配線のツリーの分岐毎に図1乃至図5に示すクロックドライバ回路303のマクロセルを配置する。

【0069】以上のように、クロック配線のレイアウトを行なった後、あるいはクロック配線を行なう前に、クロックを用いて同期動作を行なう機能ブロックの配置を行なってLSI全体の設計を行なう。

【0070】上述のように、図1乃至図5に示すクロックドライバ回路を用い、負荷配線302を一定の長さ以下とし、負荷配線302に等長処理を施して負荷を均一化させることにより、クロックスキュー、貫通電流を確実に低減させることができる。このため、従来は必要とされていた検証作業を省略してクロック配線レイアウトを短時間に作成することができる。

【0071】

【発明の効果】本発明では、負荷の容量の不均一性等によって駆動手段の出力波形になまりが生じると、なまり検出手段がこのなまりを検出し、ドライバサイズ変更手段が検出されたなまりに基づいて駆動手段のドライバサイズを変更するため、出力波形のなまりが改善される。

これにより、出力波形のクロックスキュー、貫通電流を低減させることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るクロックドライバ回路の構成を示すブロック図である。

【図2】 従来の半導体集積回路、配線方法を示す図である。

【図3】 従来のゲートアレイの構成を示す図である。

【図4】 本発明の第1の実施形態に係るクロックドライバ回路の動作を示す波形図である。

【図5】 本発明の第2の実施形態に係るクロックドライバ回路の構成を示すブロック図である。

【図6】 本発明の第2の実施形態に係るクロックドライバ回路の動作を示す波形図である。

【図7】 第2の実施形態に係るクロックドライバ回路の効果を検討するために用いたシミュレーション回路の構成を示す回路図である。

【図8】 一般的なクロックドライバ回路の構成を示す

回路図である。

【図9】 シミュレーションで用いた各クロックドライバ回路の立ち上がり時間 $t_r$ 、立ち下がり時間 $t_f$ の配線容量 $C_L$ 依存性を示す特性図である。

【図10】 シミュレーションで用いた各クロックドライバ回路の消費電力 $P_d$ の配線容量 $C_L$ 依存性を示す特性図である。

【図11】 クロックドライバ回路#1から出力されたクロック波形を示す波形図である。

【図12】 クロックドライバ回路#2から出力されたクロック波形を示す波形図である。

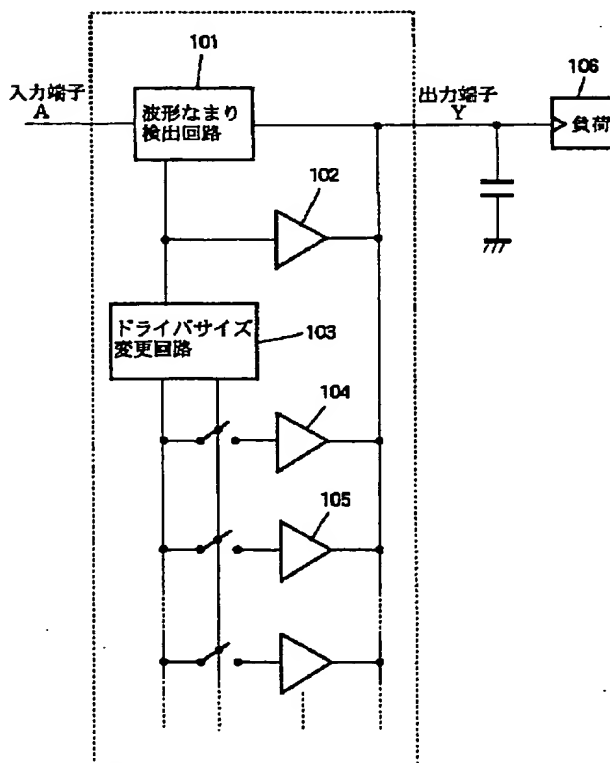
【図13】 クロックドライバ回路#3から出力されたクロック波形を示す波形図である。

【図14】 本発明の第3の実施形態に係る半導体集積回路の構成を示すブロック図である。

【符号の説明】

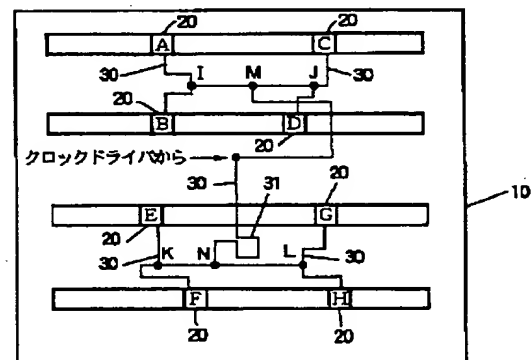
101 なまり検出回路、102、104、105 ドライバ回路、103 サイズ変更回路、106 負荷回路

【図1】



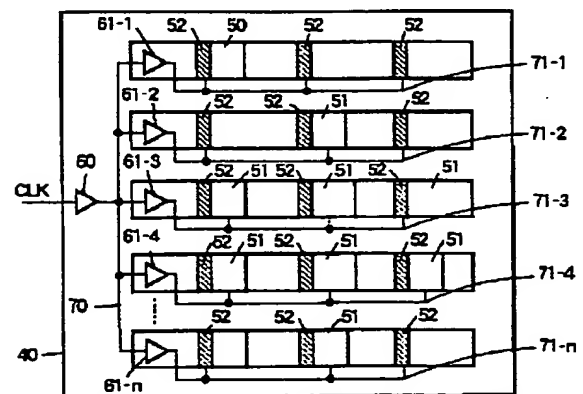
第1の実施形態に係るクロックドライバ回路の構成

【図2】



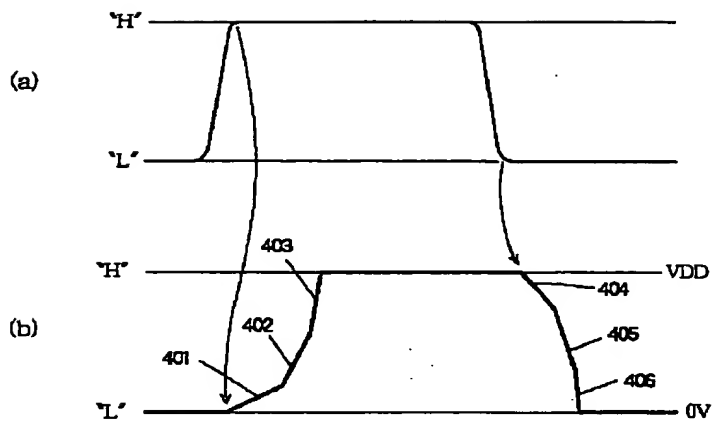
従来の半導体集積回路におけるクロック配線

【図3】



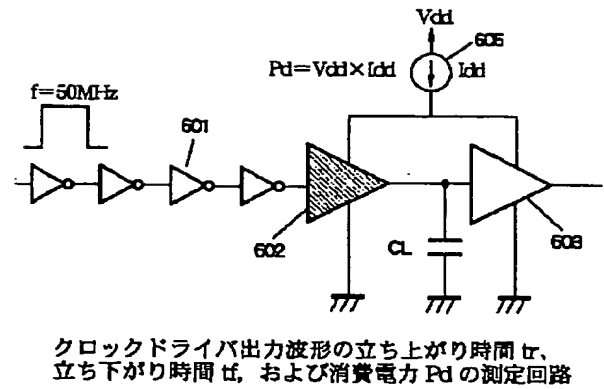
従来のゲートアレイにおけるクロック配線

【図4】

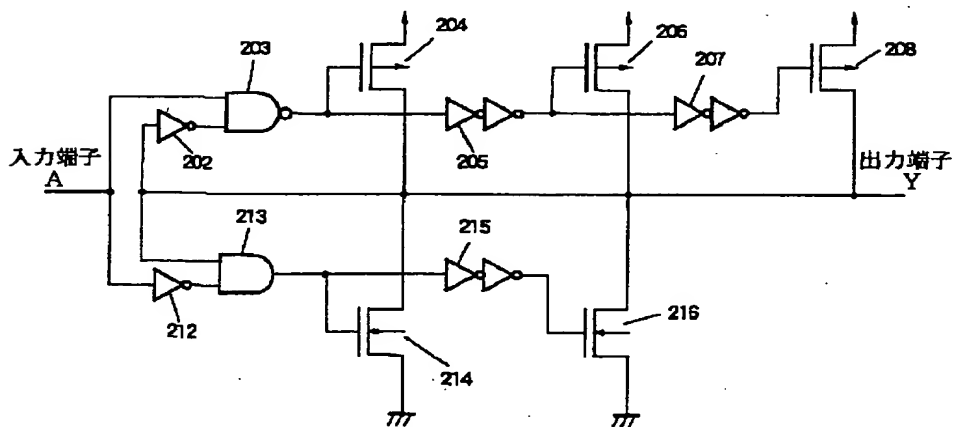


出力端子 Y のクロック波形

【図7】

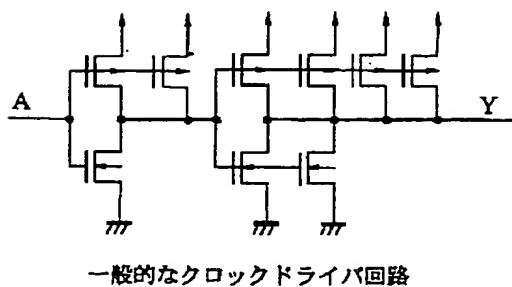


【図5】

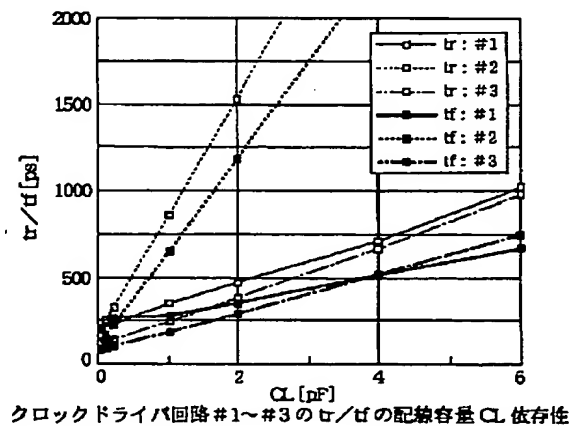


第2の実施形態に係るクロックドライバ回路の構成

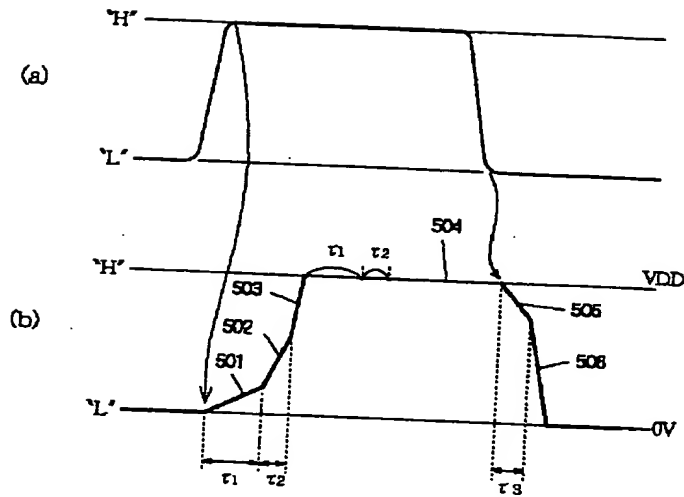
【図8】



【図9】

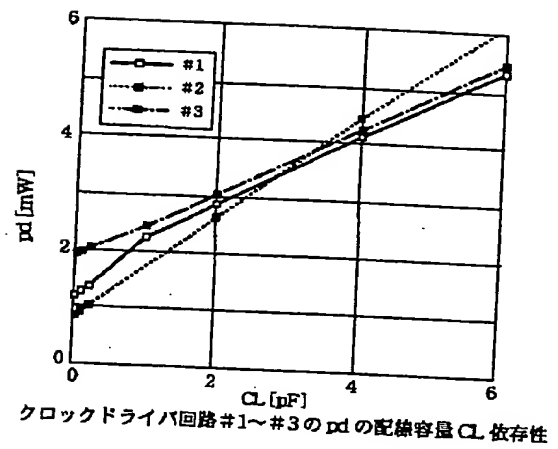


【図6】



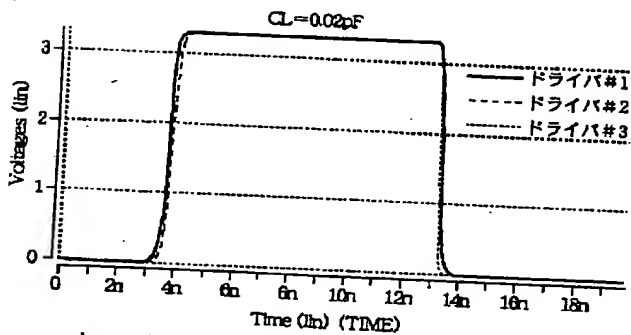
出力端子Yのクロック波形

【図10】



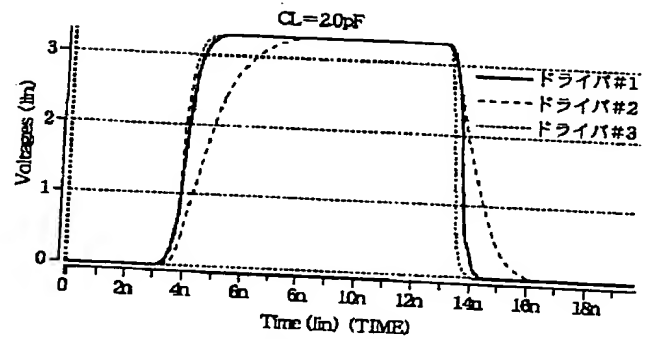
クロックドライバ回路#1~#3のpdの配線容量CL依存性

【図11】



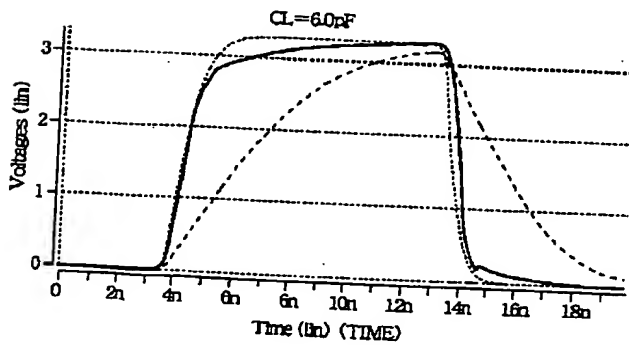
クロックドライバ回路#1~3の負荷の入力波形

【図12】



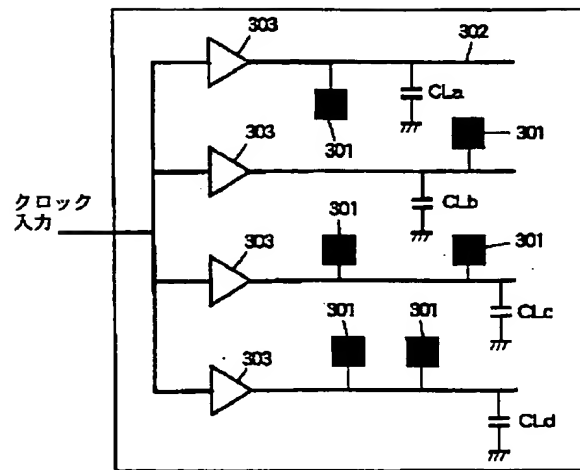
クロックドライバ回路#1~3の負荷の入力波形

【図13】



クロックドライバ回路#1~3の負荷の入力波形

【図 14】



LSI の要部